

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-72736

⑬ Int. Cl.<sup>5</sup>  
H 04 L 7/08

識別記号 庁内整理番号  
A 8949-5K

⑭ 公開 平成3年(1991)3月27日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 フレーム同期方式

⑯ 特 願 平1-208942

⑰ 出 願 平1(1989)8月11日

⑱ 発 明 者 吉 田 慎 一 郎 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
⑲ 発 明 者 藤 井 秀 奇 神奈川県川崎市幸区柳町70番地 株式会社東芝柳町工場内  
⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地  
㉑ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号  
㉒ 代 理 人 弁理士 須 山 佐 一

明 細 書

1. 発明の名称

フレーム同期方式

2. 特許請求の範囲

伝送路を流れるフレームがフレームの先頭を示すフレームヘッダ及び送信データで構成され、フレームヘッダ検出回路で該フレームヘッダを検出するとフレーム同期回路によりフレーム同期確立とする通信システムにおいて、

前記フレームに異なるパターンのフレームヘッダを複数個(m個)設け、前記フレームヘッダ検出回路により前記フレームヘッダm個のうちn個( $1 \leq n \leq m$ )以上を検出すると前記フレーム同期回路によりフレーム同期確立を検出することを特徴とするフレーム同期方式。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、伝送路を流れるフレームがフレームの先頭を示すフレームヘッダ及び送信データで

構成され、フレームヘッダ検出回路で該フレームヘッダを検出するとフレーム同期回路によりフレーム同期確立とする通信システムに関する。

(従来の技術)

従来の通信システムにおけるフレームフォーマットを第4図に示す。フレームは一つのフレームヘッダ(FH)13及び送信データ14から構成される。フレームヘッダ検出回路により上記フレームヘッダ13を検出すると、フレーム同期回路でフレーム同期が検出され送信データ14の受信がなされる。

しかし、このフレーム同期方式ではノイズ等により上記フレームヘッダ13が破壊されると、フレーム同期が得られなくなる。さらに、送信データ中にフレームヘッダと同じパターンが発生すると、そのパターンをフレームヘッダ13とみなし誤同期となりやすい。

(発明が解決しようとする課題)

従来のシステムでは、上述したようにノイズ等によりフレームヘッダ13が破壊されるとフレ

ーム同期とならない。さらに、送信データ中にフレームヘッダ13と同じパターンが発生すると、フレームヘッダ13とみなし誤動作となりやすいという欠点がある。

本発明は上記欠点を除去し、ノイズ等によって複数のうちのフレームヘッダの一部が破壊されても正しくフレーム同期を確立し、また、データ中にフレームヘッダと同じパターンが生じてフレームヘッダとみなすことなく誤動作とならないフレーム同期方式を提供することを目的とする。

#### 【発明の構成】

##### （課題を解決するための手段）

上記従来課題を解決する本発明のフレーム同期方式は、伝送路を流れるフレームがフレームの先頭を示すフレームヘッダ及び送信データで構成され、フレームヘッダ検出回路で該フレームヘッダを検出するとフレーム同期回路によりフレーム同期確立とする通信システムにおいて、前記フレームに異なるパターンのフレームヘッダを複数個（ $m$ 個）設け、前記フレームヘッダ検出回路に

— 3 —

まず、第1図に本発明の一実施例によるフレームのフォーマット例を示す。本実施例によるフレームは、1番目のフレームヘッダ（FH）1、2番目のフレームヘッダ（FH）2、3番目のフレームヘッダ（FH）3及び送信データ4から構成されている。各フレームヘッダ1、2、3は、各々異なるパターン構成となっており、フレームの先頭から順に並べて設けてある。

本実施例では、上記3つのフレームヘッダ1、2、3のうち少なくとも2つ以上が検出されるとフレーム同期確立となるようにしてある。第2図にフレーム同期確立となる場合のフレームヘッダ1、2、3の検出パターンを示す。例えば、フレームヘッダ1が検出された場合は、少なくともフレームヘッダ2またはフレームヘッダ3が検出されればフレーム同期確立となる。また、フレームヘッダ1がノイズ等により破壊されて検出できない場合には、フレームヘッダ2とフレームヘッダ3の2つが検出されればフレーム同期確立となる。

次に、上記フレームからフレームヘッダ1、2、

— 5 —

より前記フレームヘッダ $m$ 個のうち $n$ 個（ $1 \leq n \leq m$ ）以上を検出すると前記フレーム同期回路によりフレーム同期確立を検出することを特徴とする。

##### （作用）

フレームヘッダを複数個にし、そのうちの $n$ 個以上が検出されることによりフレーム同期を確立することで、ノイズ等によりフレームヘッダの一部が破壊されてもフレーム同期を確立できる。つまり、フレームヘッダ数を $m$ 個とし、そのうち $n$ 個が検出されたときにフレーム同期確立とすると、（ $m - n$ ）個までのフレームヘッダが破壊されてもフレーム同期を確立できる。

また、送信データ中にノイズ等によりフレームヘッダと同じパターンが生じて（ $m - n$ ）個までの疑似パターンまでは許容でき、誤同期となることはない。

##### （実施例）

以下、本発明の一実施例について図面を参照して詳細に説明する。

— 4 —

3を検出してフレーム同期をとる回路構成を第3図に示す。

本回路はシフトレジスタ5と、フレームヘッダ1、2、3の各検出回路6、7、8と、ANDゲート（論理積回路）9、10、11とORゲート（論理和回路）12からなるフレーム同期回路によって構成されている。

検出回路6、7、8は各々シフトレジスタ5と接続されている。検出回路6はANDゲート9とANDゲート11に、検出回路7はANDゲート9とANDゲート10に、検出回路8はANDゲート10とANDゲート11にそれぞれ接続されている。また、ANDゲート9、10、11がそれぞれORゲート12に接続されている。

伝送路より送られた受信シリアルクロック及びフレームは、（フレームヘッダ1＋フレームヘッダ2＋フレームヘッダ3）ビット分の容量を有するシフトレジスタ5に入力保持される。入力されたフレームは検出回路6、7、8によってフレームヘッダ1、2、3がそれぞれ同時に検出される。

— 6 —

検出回路 6, 7, 8 により出力される検出信号は、第 2 図に示した検出パターンに従ってデコードされる。つまり、AND ゲート 9 によりフレームヘッダ 1, 2 の検出信号が、AND ゲート 10 によりフレームヘッダ 2, 3 の検出信号が、AND ゲート 11 によりフレームヘッダ 1, 3 の検出信号がデコードされる。また、フレームヘッダ 1, 2, 3 の全てが検出された場合は、AND ゲート 9, 10, 11 の全てからデコード信号が出力される。

そして、AND ゲート 9, 10, 11 の出力は、OR ゲート 12 によって論理和がとられ、OR ゲート 12 によりフレーム同期確立を示す信号が出力され、送信データ 4 の受信がなされる。

上述した本実施例によるフレーム同期方式では、3 つのフレームヘッダ 1, 2, 3 のうち 2 つが検出されれば、フレーム同期が得られる。従って、フレームヘッダ 1, 2, 3 のうち 1 つがノイズ等により破壊されてもフレーム同期を検出でき、また送信データ 4 中にフレームヘッダ 1, 2, 3 の

1 つと同じパターンが生じても誤同期となることはない。

なお、上記実施例では、フレームヘッダ 1, 2, 3 のうち 2 つを検出したときにフレーム同期が得られるようにしたが、1 つのフレームヘッダが検出されたときにフレーム同期確立としてもよい。

また、フレームに設けるフレームヘッダの数は 3 つに限られず、2 つ以上であればよい。すなわち、フレームヘッダの数を複数個 ( $m$  個) とした場合に  $n$  個 ( $1 \leq n \leq m$ ) のフレームヘッダを検出した場合にフレーム同期確立とするものである。従って、 $(m - n)$  個までのフレームヘッダが破壊されてもフレーム同期を確立できるし、送信データ中にノイズ等によりフレームヘッダと同じパターンが生じても  $(m - n)$  個までの疑似パターンまでは許容でき誤同期となることはなくなる。

〔発明の効果〕

以上説明したように本発明のフレーム同期方式によれば、フレームに異なるパターンのフレームヘッダを複数個 ( $m$  個) 設け、前記フレームヘッ

- 7 -

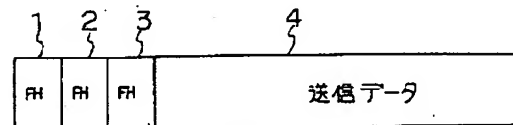
- 8 -

ダ検出回路により前記フレームヘッダ  $m$  個のうち  $n$  個 ( $1 \leq n \leq m$ ) 以上を検出すると前記フレーム同期回路によりフレーム同期確立を検出することにより、ノイズ等によってフレームヘッダの一部が破壊されても正しくフレーム同期を確立できると共に、送信データ中にフレームヘッダと同じパターンが生じても誤同期とならず確実なフレーム同期が行える。

#### 4. 図面の簡単な説明

第 1 図は本発明の一実施例によるフレームのフォーマット例を示す図、第 2 図はフレーム同期確立となる検出パターンを示す図、第 3 図はフレームヘッダを検出してフレーム同期を得る回路構成を示す図、第 4 図は従来のフレームのフォーマット例を示す図である。

1, 2, 3 … フレームヘッダ、4 … 送信データ、5 … シフトレジスタ、6, 7, 8 … 検出回路、9, 10, 11 … AND ゲート、12 … OR ゲート。

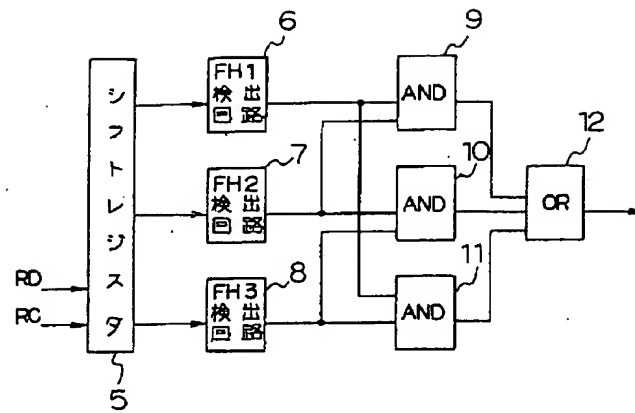


第 1 図

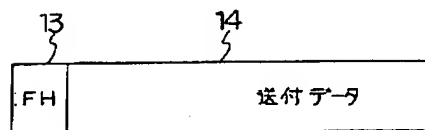
FH1	FH2	FH3
○	○	○
○	○	×
○	×	○
×	○	○

第 2 図

- 9 -



第 3 図



第 4 図